

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-264527

(43)Date of publication of application : 21.09.1992

(51)Int.Cl.

G02F 1/136

G02F 1/133

G02F 1/1343

H01L 27/12

H01L 29/784

(21)Application number : 03-026534

(71)Applicant : SHARP CORP

(22)Date of filing : 20.02.1991

(72)Inventor : TANAKA HIROHISA

UJIMASA HITOSHI

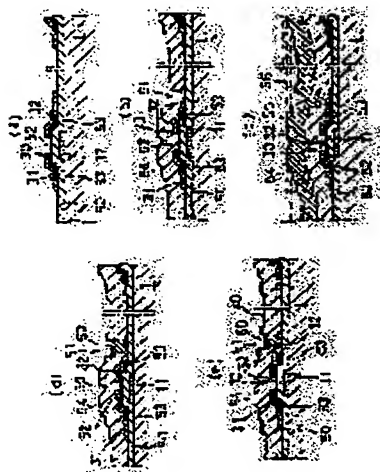
HISHIDA TADANORI

## (54) ACTIVE MATRIX SUBSTRATE

### (57)Abstract:

**PURPOSE:** To reduce the step of a pixel electrode at a contact hole forming section and to surely prevent a disconnection caused by the break and damage of the pixel electrode.

**CONSTITUTION:** The step of the pixel electrode 40 at the contact hole forming section 51 is reduced by embedding a metallic layer 60 in the contact hole 51 opened at an interlayer insulating film 54 and electrically connecting the pixel electrode 40 and the drain electrode 32 of a TFT 30 via a metallic layer 60.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-264527

(43) 公開日 平成4年(1992)9月21日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0	9018-2K		
1/133	5 5 0	7820-2K		
1/1343		9018-2K		
H 0 1 L 27/12	A	8728-4M		
		9056-4M		
			H 0 1 L 29/78	3 1 1 A
			審査請求 未請求 請求項の数1(全 5 頁) 最終頁に続く	

(21) 出願番号 特願平3-26534

(22) 出願日 平成3年(1991)2月20日

(71) 出願人 000005049

シヤープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 田仲 広久

大阪市阿倍野区長池町22番22号 シヤープ株式会社内

(72) 発明者 氏政 仁志

大阪市阿倍野区長池町22番22号 シヤープ株式会社内

(72) 発明者 菱田 忠則

大阪市阿倍野区長池町22番22号 シヤープ株式会社内

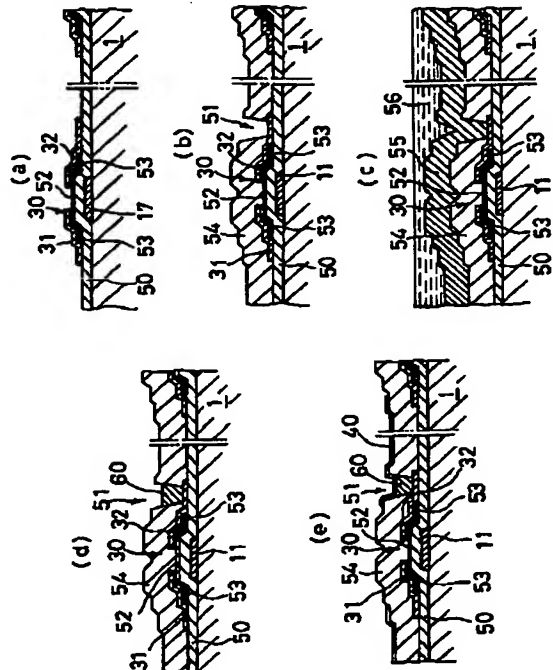
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板

(57) 【要約】

【目的】 アクティブマトリクス基板において、コンタクトホール51形成部における絵素電極40の段差を低減し、絵素電極40の折損に起因する断線を実に防止する。

【構成】 層間絶縁膜54に開口されるコンタクトホール51に金属層60を埋設し、金属層60を介して絵素電極40とTFT30のドレイン電極32を電気的に接続することにより、コンタクトホール51形成部における絵素電極40の段差を低減する。



1

## 【特許請求の範囲】

【請求項1】透明絶縁性基板上に薄膜トランジスタをマトリクス状に配設してなる薄膜トランジスタアレイと、該薄膜トランジスタのドレイン電極に対応した部分にコンタクトホールが開口され、該薄膜トランジスタアレイを覆うようにして形成された透明絶縁膜と、該コンタクトホールに埋設され、該ドレイン電極に接続された金属層と、該透明絶縁膜上に形成され、該金属層を通して該ドレイン電極に電気的に接続された絵素電極とを備えたアクティブマトリクス基板。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スイッチング素子としてTFT（薄膜トランジスタ）を備えたアクティブマトリクス基板に関し、特に高精細液晶表装置に適したアクティブマトリクス基板に関する。

【0002】

【従来の技術】従来より、液晶表示装置、EL表示装置、プラズマ表示装置等においては、マトリクス状に配列された絵素電極を選択駆動することにより、画面上に表示パターンが形成される。より具体的には、選択された絵素電極とこれに対向する対向電極との間に電圧が印加され、これらの電極の間に介在する液晶等の表示媒体の光学的変調が行われ、この光学的変調が表示パターンとして視認される。絵素電極の駆動方式として、個々の独立した絵素電極を配列し、この絵素電極のそれぞれにスイッチング素子としてのTFTを接続して駆動するアクティブマトリクス駆動方式が知られている。このような、アクティブマトリクス駆動方式の液晶表示装置は、高コントラストの表示が可能である、表示容量に制約がない、といった利点を生かし、液晶テレビジョン、ワードプロセッサ、コンピュータの端末表示装置等に実用化されている。

【0003】図4はこのようなアクティブマトリクス基板の一従来例を示しており、ガラス基板（透明絶縁性基板）100上には、ゲートバスラインおよびソースバスライン（いずれも図示せず）が縦横に配線され、該ゲートバスラインにはこれから分岐したゲート電極110が形成される。ゲート電極110の上部にはゲート絶縁膜150を挟んでソース電極131およびドレイン電極132を備えたTFT130が形成される。

【0004】このような構造のアクティブマトリクス基板は以下のようにして作成される。まず、ガラス基板100上にTa、Cr等の金属からなるゲート電極110を形成し、次いで、該ゲート電極110を覆うようにしてSiNx、SiOx等からなるゲート絶縁膜150、非晶質シリコン（以下a-Siと称する）、多結晶シリコン、CdSe等からなる半導体層160をこの順に積層する。次いで、Ti、Mo、Al等からなるソース電極131およびドレイン電極132をパターニングにより

2

形成してTFT130を得る。なお、オーミックコンタクトをとるために、通常、半導体層150とソース電極131およびドレイン電極132との間にはリン（P）をドーピングしたn<sup>+</sup>a-Si層170が形成される。

【0005】そして、以上のようにしてTFT130が作成された基板100上にポリイミドやアクリル樹脂等の層間絶縁膜（保護膜）154を塗布し、その表面にITO（Indium Tin Oxide）等の透明導電膜を成膜し、これをパターニングして絵素電極140を形成する。絵素電極140の一部は層間絶縁膜154に形成されたコンタクトホール151を通してドレイン電極132に電気的に接続される。

【0006】

【発明が解決しようとする課題】ところで、上記従来例では、ソースバスラインと絵素電極140との間に寄生容量を生じるといふ問題がある。このような寄生容量を生じたアクティブマトリクス基板を液晶表示装置に使用すると、クロストークという表示不良を発生するという欠点がある。

20 【0007】寄生容量を低減するには層間絶縁膜154を厚くすればよい。しかしながら、層間絶縁膜154を厚くすると、コンタクトホール151の深さがその分深くなるので、該コンタクトホール151を通してドレイン電極132に接続される絵素電極140の段差部が大きくなる。このため、絵素電極140の当該部分が折損し易く、断線を頻発するという欠点がある。このような絵素電極140の断線は表示不良の原因となるので、アクティブマトリクス基板の歩留まりが低下し、コストアップを招くことになる。

30 【0008】本発明はこのような従来技術の欠点を解決するものであり、コンタクトホールにおける絵素電極の断線を確実に防止でき、歩留まりの向上が図れるアクティブマトリクス基板を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明のアクティブマトリクス基板は、透明絶縁性基板上に薄膜トランジスタをマトリクス状に配設してなる薄膜トランジスタアレイと、該薄膜トランジスタのドレイン電極に対応した部分にコンタクトホールが開口され、該薄膜トランジスタアレイを覆うようにして形成された透明絶縁膜と、該コンタクトホールに埋設され、該ドレイン電極に接続された金属層と、該透明絶縁膜上に形成され、該金属層を通して該ドレイン電極に電気的に接続された絵素電極とを備えてなり、そのことにより上記目的が達成される。

【0010】

【作用】上記のように、コンタクトホールに金属層を埋設し、該金属層を介して絵素電極とドレイン電極を電気的に接続する構造によれば、コンタクト層を埋設した分、コンタクトホールの深さ、すなわち段差を低減できる。従って、コンタクトホールの段差に起因する絵素電

3

極の断線を生じることがない。

【0011】

【実施例】本発明の実施例について以下に説明する。

【0012】図1および図2は本発明の一実施例にかかるアクティブマトリクス基板を示しており、このアクティブマトリクス基板は、透明のガラス基板1上にゲートバスライン10およびソースバスライン20を縦横に配線し、両バスライン10、20で囲まれた矩形状の領域に絵素電極40をマトリクス状に配設してなる。

【0013】ゲートバスライン10にはゲート電極11が分岐され、ソースバスライン20にはソース電極31が分岐される。ゲート電極11の位置にはスイッチング素子として機能するTFT30が形成される。このTFT30は前記ソース電極31とドレイン電極32を備え、図1に示す構造になっている。

【0014】以下、図1に従いアクティブマトリクス基板の構造およびその製造手順について説明する。図1(a)に示すように、まずスパッタリング法によりガラス基板1上に膜厚300nmのTa膜を成膜し、次いで、該Ta膜をフォトリソグラフィによりパターニングしてゲート電極11を形成する（この時図2に示すゲートバスライン10が同時に形成される。）。次に、プラズマCVD法により、ガラス基板1上にゲート電極11を覆うようにして膜厚400nmのSiNx膜からなるゲート絶縁膜50、膜厚100nmのa-Siからなる半導体層52およびリン(P)をドーピングした膜厚40nmのn<sup>+</sup>a-Si層53を連続して積層し、これを図示する断面形状にパターニングする。

【0015】次いで、これらを覆うようにしてガラス基板1上にスパッタリング法により膜厚200nmのMo膜を成膜し、これをパターニングしてソース電極31（この時図2に示されるソースバスライン20が同時に形成される。）およびドレイン電極32を得、これによりTFT30がマトリクス状に配置されたTFTアレイが作成される。

【0016】次に、図1(b)に示すように、プラズマCVD法によりガラス基板1上に膜厚1μmのSiNxからなる層間絶縁膜54を形成する。次いで、図1(c)に示すように、スパッタリング法により、層間絶縁膜54上に厚さ1μmのTa膜55を全面に積層し、その上にレジスト56を塗布する。

【0017】次いで、図3(d)に示すように、Ta膜55とレジスト56を等しいエッチンググレード条件下でドライエッチングする。このドライエッチングにより、層間絶縁膜54の前記ドレイン電極32に対応した部分にコンタクトホール51が開口される。そして、該コンタクトホール51の底部にTa膜からなる金属層60を埋設する。これにより、コンタクトホール51の深さが低減される。

【0018】次いで、スパッタリング法により膜厚10

4

0nmのITO膜を層間絶縁膜54上に積層し、その後、これをパターニングして図1(e)に示される絵素電極40を得る。パターニングされた絵素電極40の一部はコンタクトホール51に埋設された金属層60に接続される。これにより、金属層60を介して絵素電極40とドレイン電極32が電気的に接続され、アクティブマトリクス基板が作成される。

【0019】このような接続構造によれば、金属層60の存在により、コンタクトホール51の周縁部を乗り越えて該金属層60に電気的に接続される絵素電極40の当該部分における段差を低減できるので、該段差に起因して絵素電極40が折損することがない。従って、絵素電極40に断線を生じることがない。また、段差を低減できるので、液晶表示装置に組み込む場合は、その表示特性を向上できる利点がある。すなわち、段差部分における液晶分子の配向の乱れを低減できるからである。

【0020】図3は本発明の他の実施例を示しており、この実施例では、コンタクトホール51に埋設される金属層60としてAlを用い、層間絶縁膜54としてアクリル樹脂を使用する構成をとる。層間絶縁膜54としてアクリル樹脂を使用する場合は、該層間絶縁膜54の表面を平坦化できるので、コンタクトホール51形成部における絵素電極40の段差が更に一層低減されることになる。従って、絵素電極40の断線を防止する上で、および液晶表示装置の表示特性を向上する上で、より一層好ましいものになる。

【0021】なお、この実施例にかかるアクティブマトリクス基板も上記実施例同様の製造工程を経て作成される。

【0022】

【発明の効果】以上の本発明によれば、コンタクトホールに埋設した金属層を介して絵素電極とドレイン電極を電気的に接続する構成をとるので、コンタクトホール形成部における絵素電極の段差を低減できる。従って、絵素電極が当該部分において折損することがなく、絵素電極の断線を確実に防止できる。

【0023】加えて、絵素電極の段差を低減できることにより、本発明のアクティブマトリクス基板を液晶表示装置に使用した場合には、該段差部分における液晶分子の配向の乱れを低減できる。従って、液晶表示装置の表示特性を向上できる利点がある。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス基板の製造工程を示す図2のA-A線に相当する断面図。

【図2】図1の工程で作成されるアクティブマトリクス基板の平面図。

【図3】本発明の他の実施例を示す断面図。

【図4】アクティブマトリクス基板の従来例を示す断面図。

【符号の説明】

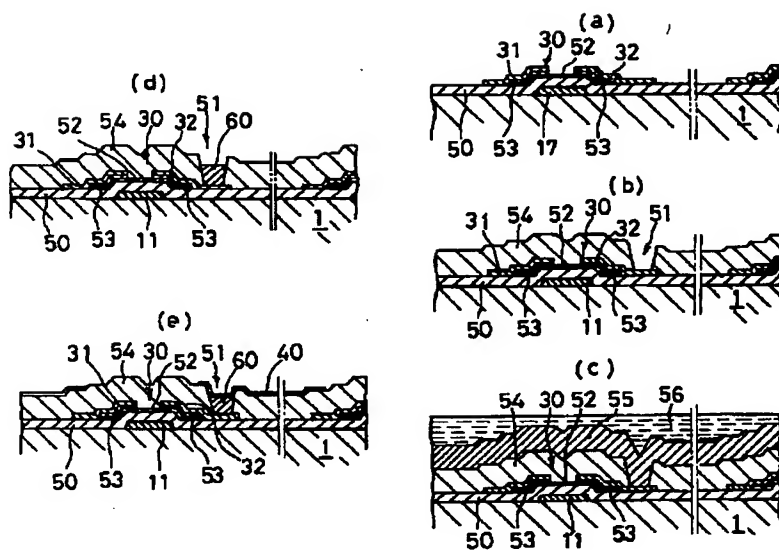
5

6

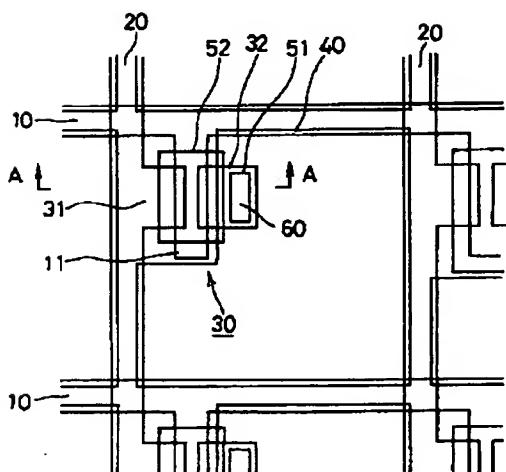
- 1 ガラス基板
- 10 ゲートバスライン
- 11 ゲート電極
- 20 ソースバスライン
- 30 TFT
- 31 ソース電極

- 32 ドレイン電極
- 40 絵素電極
- 50 ゲート絶縁膜
- 51 コンタクトホール
- 54 層間絶縁膜
- 60 金属層

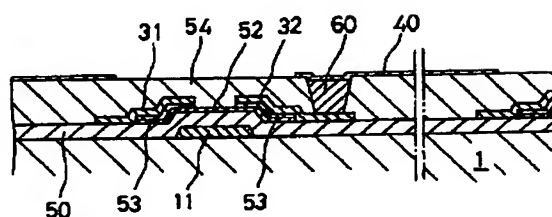
【図1】



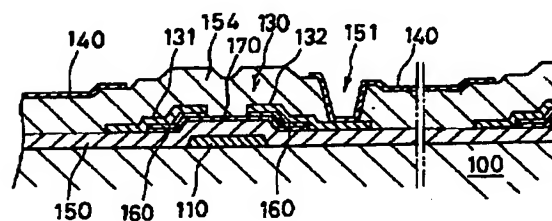
【図2】



【図3】



【図4】



(5)

特開平4-264527

フロントページの続き

(51) Int. Cl.<sup>5</sup>

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**